

## 明 細 書

### 導電性半導体基板上の電極パッド

#### 技術分野

[0001] 本発明は、導電性半導体基板上に作製された電子デバイスおよび光デバイスの電極パッドに関する。

#### 背景技術

[0002] 図13は、従来の電極パッドの一例の概略構造図である。半導体基板上に作製される電子デバイスもしくは光デバイスには、通常、同図Aに示すような電極パッド123, 124が具備される。

[0003] 電極パッド123, 124は、それぞれ基板121, 122上に形成され、金線等の接続配線125で電極パッド間を電氣的に接続することにより、電子デバイスもしくは光デバイスを駆動するための電気信号を外部から供給したり、電子デバイスもしくは光デバイスで増幅、検出されるなどした電気信号を外部へ取り出したりする重要な役割を担っている。

[0004] 上述するように、外部から電気信号を供給したり、外部へ電気信号を取り出したりする場合には、外部の電気デバイス、配線線路、コネクタ等と、電子デバイスもしくは光デバイスとを接続配線125で電氣的に接続する必要がある。この電氣的な接続の際の作業性を良くするため、または配線作業において電子デバイスや光デバイスに衝撃を与えないためにも、電極パッドは必須のものとなっている。

[0005] したがって、電子デバイスや光デバイスを設計する際、電極パッドには、(1)外部の部品との配線作業において確実に配線可能であること、(2)半導体基板121と密着性が良いこと、(3)導電性の半導体基板に電極パッドを形成する際(図13C)には電極パッド間の通電を防止するため半導体基板121上にSiO<sub>2</sub>膜や低誘電率の絶縁性材料膜126が形成されるが、これらの膜と密着性が良いこと、(4)配線作業で受ける衝撃により電子デバイスや光デバイスの機能が損なわれないような配置にすること、(5)電極パッドの抵抗や寄生容量等によって電子デバイスや光デバイスの機能を阻害しないことなどが要求される。一般的には、電極パッドは、これらを考慮して設計され

ている(下記、非特許文献1を参照。)

- [0006] 非特許文献1:M.N.Khan,et al.,“Theoretical prediction and experimental verification of quantum well electroabsorption modulators with bandwidths exceeding 40GHz” ,OFC99,paper ThT4-1/293

### 発明の開示

- [0007] 一般に、電子デバイスや光デバイスの作製に用いられる半導体基板を導電性の半導体基板とした場合、当該半導体基板に対向する電極(配線)との間に容量が生じやすく、電極(配線)部における特性インピーダンス制御が困難となる。
- [0008] 特に電極パッド部分においては、電極パッドの面積を大きくする必要があるため、電極配線の複雑な電子デバイスは、特性インピーダンスを制御して効率的な電気信号の伝送を実現しやすい半絶縁性基板上に作製されることが一般的であった。
- [0009] 一方、光デバイスでは、半導体基板側の電極(基板に電氣的に接続される電極)が容易に構成できること、電極(配線)を複雑に引き回す必要がほとんどないため電極(配線)容量の影響が少ないことなどの理由から導電性の半導体基板の上に作製されることが多かった。
- [0010] しかしながら、近年の電子デバイスや光デバイス的高速動作化によって、電子デバイスと光デバイスとを同一の基板上に集積することや、電子デバイスチップと光デバイスチップ間の配線によってそれぞれのデバイス特性に影響を与えないようなチップ上の電極配線および電極パッドの構成、さらに電極配線と電極パッドのそれぞれの特性インピーダンス制御に対する要求が高まってきた。
- [0011] 図14は、従来の半導体光デバイス上の電極パッドの概略構造図である。同図には、導電性の半導体基板上に作製された従来の半導体光デバイス及びこれに具備された電極パッドを示してある。
- [0012] 同図に示すように、第1の導電性を有する半導体基板101上には、第1の導電性を有する半導体クラッド層102と、光デバイスの活性層、光吸収層又は光導波路コア層103と、第2の導電性を有する半導体クラッド層及び半導体コンタクト層104とが積層されてなるメサストライプ型の光導波路が形成されている。
- [0013] 半導体基板101の下面には電極パッド112が形成され、半導体クラッド層102側か

らの光導波路との電氣的接続がなされている。一方、第2の導電性を有する半導体クラッド層及び半導体コンタクト層104側からの光導波路との電氣的接続は、半導体基板101に対向して設けられる電極パッド110と、電極パッド110と第2の導電性を有する半導体層104上の電極メタル111aとの間の配線メタル111bとにより行われる。

[0014] 電極パッド110(及び配線メタル111b)は、導電性の半導体基板101との短絡を防止するため、厚さ $t_0$ の低誘電率の絶縁性材料膜108を介して半導体基板101上に配置される。ここで、半導体基板101に対向する電極パッド110の特性インピーダンス制御を行う場合、低誘電率の絶縁性材料膜108の厚さ $t_0$ が重要なパラメータとなる。

[0015] しかしながら、電子デバイスや光デバイスにおいては、基板の凹凸を抑える設計が一般に行われてきた。これは、凹凸の大きな基板に対しては、高い精度でフォトリソグラフィを行うことができなかったり、ドライエッチングにおいて高いメサを作ることが困難であったり、段差の高いメサへの電極プロセスが困難であったりするため、作製プロセスの容易性を確保するという理由に基づく。このため、比較的凹凸の大きな光デバイスであっても導電性の半導体基板と電極パッドとのギャップ $t_0$ は、大きくても光導波路のメサの高さ程度しかなかった(例えば、 $t_0 = 5 \mu\text{m}$ 未満)。

[0016] このように、導電性の半導体基板と電極パッドとのギャップが小さいため、半導体基板に対向する電極パッド部分に生じる容量が大きくなり、電極パッド部分の特性インピーダンス制御が困難となるという問題があった。また、一般に好適とされる特性インピーダンス $50 \Omega$ の電極パッドを設計した場合、電極パッドの幅は大きくても $10 \mu\text{m}$ 程度となり、金線等による外部の配線基板等とのボンディングが実用上できないという問題があった。

[0017] 本発明は上記状況に鑑みてなされたものであり、電極パッド部分の容量を小さくすると共に、実用的な電極パッドのサイズに対して特性インピーダンスの制御を可能とした半導体基板上の電極パッドを提供することを目的とする。

[0018] 本発明は、このような目的を達成するために、本発明に係る導電性半導体基板上の電極パッドは、導電性基板と、該導電性基板上に形成された絶縁性材料膜と、該絶縁性材料膜上に形成された電極パッドと、前記絶縁性材料膜上に形成され、前記電極パッドに接続され、前記電極パッドとは異なる幅を有する配線とを備え、前記電

極パッドのサイズは、外部機器との電氣的な接続部位と略同じサイズ以上であり、前記絶縁性材料膜の、少なくとも前記電極パッドが形成された第1の領域の第1の厚さは、前記電極パッドの特性インピーダンスと前記電極パッドに接続する外部機器との特性インピーダンスとがほぼ整合するように、前記絶縁性材料膜の、前記配線の少なくとも一部が形成された第2の領域であって、前記第1の領域以外の第2の領域の第2の厚さとは異なる厚さであることを特徴とする。

- [0019] なお、電極パッドの「サイズ」とは、例えば平面四角の電極パッドであれば一辺の大きさを意味し、例えば平面円形の電極パッドであれば直径の大きさを意味する。このほか、さまざまな形状の電極パッドがあるが、「サイズ」とは一般的に電極パッドの外形寸法を意味する。また、外部との電氣的な接続部位とは、ボンディングのための金属線や金属リボンであり、またフリップチップボンディングの際の半田バンプ等である。
- [0020] また、上記導電性半導体基板上の電極パッドにおいて、前記配線の幅は、前記電極パッドのサイズよりも細い幅であり、前記絶縁性材料膜の前記第1の領域の厚さは、前記絶縁性材料膜の前記第2の領域の厚さよりも厚いことを特徴とする。
- [0021] 電極パッドと導電性半導体基板との間に低誘電率の絶縁性材料膜を介在させて、電極パッドと半導体基板とを大きく離間させることにより、従来よりも電極パッドの容量を低減することができ、該電極パッドに接続する外部機器の特性インピーダンスと整合することが可能となる。
- [0022] また、上記導電性半導体基板上の電極パッドにおいて、前記絶縁性材料膜は、前記第1の領域が表面に突出している突出部を有していることを特徴とする。
- [0023] また、上記導電性半導体基板上の電極パッドにおいて、前記突出部の側壁面は傾斜していることを特徴とする。
- [0024] また、上記導電性半導体基板上の電極パッドにおいて、前記電極パッドは、前記突出部の上面に位置し、前記電極パッドには、前記絶縁性材料膜の表面に沿って配置される前記配線が接続されており、該配置された配線における前記傾斜する側壁面に配置される部分は、該配線の下方の前記半導体基板までの厚さが大きいほど幅が大きくなる、平面テーパ形状であることを特徴とする。
- [0025] また、上記導電性半導体基板上の電極パッドにおいて、前記導電性基板上には溝

部が形成されており、前記絶縁性材料膜の第1の領域の一部分は、前記溝部の底面から前記電極パッドまでの間隔が前記第1の厚さとなるように、前記溝部内形成されていることを特徴とする。

[0026] また、上記導電性半導体基板上の電極パッドにおいて、前記絶縁性材料膜の表面は、略平坦であることを特徴とする。

[0027] 導電性半導体基板に溝を形成し、その溝に絶縁性材料を埋めこむことにより、電極パッドの直下の絶縁性材料を厚くしても、電極パッドが配置される表面を平坦化することができる。

[0028] また、上記導電性半導体基板上の電極パッドにおいて、前記溝部の側壁面は、該溝部の底面となす角が直角よりも大きくなるように傾斜していることを特徴とする。

[0029] また、上記導電性半導体基板上の電極パッドにおいて、前記電極パッドは、前記溝部の底面の上方に位置し、前記電極パッドには、前記絶縁性材料膜の表面に沿って配置される前記配線が接続され、該配線における前記傾斜する側壁面の上方に位置する部分は、前記配線の下方の前記半導体基板までの深さが大きいほど幅が大きくなる、平面テーパ形状であることを特徴とする。

[0030] また、上記導電性半導体基板上の電極パッドにおいて、前記電極パッド及び前記配線の特性インピーダンスが略50  $\Omega$  になるように、前記配線におけるテーパ形状の部分のテーパ幅の変化率及び／又は前記傾斜する側壁面の傾斜角が調整されていることを特徴とする。

[0031] また、上記導電性半導体基板上の電極パッドにおいて、前記第2の領域に形成された配線の特性インピーダンスが前記電極パッドの特性インピーダンスとほぼ整合するように、前記第2の領域に形成された配線の幅および前記第2の厚さが調整されていることを特徴とする。

[0032] また、上記導電性半導体基板上の電極パッドにおいて、前記第1の厚さは、前記電極パッドの大きさ、および前記外部機器の特性インピーダンスに応じて設定されることを特徴とする。

[0033] また、上記導電性半導体基板上の電極パッドにおいて、前記電極パッドのサイズは30  $\mu\text{m}$ 以上であることを特徴とする。

- [0034] また、上記導電性半導体基板上の電極パッドにおいて、前記電極パッドの特性インピーダンスは、略40オームであることを特徴とする。
- [0035] また、上記導電性半導体基板上の電極パッドにおいて、前記電極パッドの特性インピーダンスは、略50オームであっても良い。
- [0036] また、上記導電性半導体基板上の電極パッドにおいて、前記配線は、光デバイス素子に接続されても良いし、電子デバイス素子に接続されても良い。
- [0037] また、上記導電性半導体基板上の電極パッドにおいて、前記電極パッドは、導電性基板の端上に形成されていることを特徴とする。
- [0038] 本発明の一実施形態によれば、導電性の半導体基板上に作製された電極パッド部分の容量を小さくすることができ、実用的な電極パッドサイズに対して特性インピーダンスの制御が可能となる。
- [0039] 例えば一般的な電子デバイスの特性インピーダンスである50Ωをもった電極パッドを構成する場合、従来の構造では電極パッドと導電性の半導体基板との間隔が大きくても5μm程度であるため電極パッドの幅を約10μmにしなければならないのに対し、本発明のように、電極パッドと半導体基板との間隔を大きくする(例えば、約20μm)ことで、電極パッドの幅を大きくする(例えば、約50μm)ことができる。なお、この例では低誘電率の絶縁性材料膜の誘電率を一般的なポリイミドの値(3.5)として推算した。
- 誘電率が約2まで低い絶縁性材料膜を用いたとしても、従来の構造では大きくても15μm程度の電極パッド幅にしかない。
- [0040] この結果、高周波電気実装に広く用いられている50μm幅の金リボン配線や、25μm径の金線配線が可能となる。更には、光デバイス本来の特性を引き出すことができ、特に高速電気信号に対する応答動作の飛躍的な向上が期待できる。

#### 図面の簡単な説明

- [0041] [図1]第1の実施形態に係る半導体光デバイス上の電極パッドの概略構造図(部分透視図)である。
- [図2]第2の実施形態に係る半導体光デバイス上の電極パッドの概略構造図(部分透視図)である。

[図3]実施形態に係る電極パッドにおける透過電気信号強度及び特性インピーダンスと絶縁性材料膜の厚さとの関係図である。

[図4]実施形態に係る解析に用いた、半導体電界吸収型光変調器の模式図である。

[図5A]実施形態に係る、電気反射特性の周波数依存性について計算した結果を示す図である。

[図5B]実施形態に係る、電気透過特性の周波数依存性について計算した結果を示す図である。

[図6]実施形態に係る、電極パッドにおける電気透過損が $-2\text{dB}$ となる周波数をプロットした図である。

[図7]第1の実施形態に係る半導体光デバイス上の電極パッドの作製方法を示す工程図である。

[図8]第1の実施形態に係る半導体光デバイス上の電極パッドの作製方法を示す工程図である。

[図9]第1の実施形態に係る半導体光デバイス上の電極パッドの作製方法を示す工程図である。

[図10]第2の実施形態に係る半導体光デバイス上の電極パッドの作製方法を示す工程図である。

[図11]第2の実施形態に係る半導体光デバイス上の電極パッドの作製方法を示す工程図である。

[図12]第2の実施形態に係る半導体光デバイス上の電極パッドの作製方法を示す工程図である。

[図13A]従来の電極パッドの一例の概略構造図である。

[図13B]従来の電極パッドの一例の概略構造図である。

[図13C]従来の電極パッドの一例の概略構造図である。

[図14]従来の半導体光デバイス上の電極パッドの概略構造図(部分透視図)である。

発明を実施するための最良の形態

[0042] <第1、第2の実施形態に係る電極パッド>

図1は、第1の実施形態に係る半導体光デバイス上の電極パッドの概略構造図であ

る。

図2は、第2の実施形態に係る半導体光デバイス上の電極パッドの概略構造図である。なお、これらの図には、導電性の半導体基板上に作製した光デバイスに電極パッドを構成した例を示しているが、光デバイスの代わりに、電子デバイス、また、電子デバイスと光デバイスとの集積デバイスを適用してもよい。

[0043] 図1に示すように、第1の実施形態に係る半導体光デバイス上の電極パッドは、第1の導電性を有する半導体基板である $n$ -InP基板1上に、第1の導電性を有する半導体クラッド層である $n$ -InPクラッド層2と、光デバイスの活性層、光吸収層又は光導波路コア層に相当する $i$ 層3と、第2の導電性を有する半導体クラッド層及び半導体コンタクト層である $p$ -InPクラッド層及び $p$ 型コンタクト層4とが積層されてなるメサストライプ型の光導波路( $pin$ 構造:高さ $t_0$ )が形成されている。

[0044]  $n$ -InP基板1の下面には電極パッド12が形成され、 $n$ -InPクラッド層2側からの光導波路との電氣的接続がなされている。一方、 $p$ -InPクラッド層及び $p$ 型コンタクト層4側からの光導波路との電氣的接続は、 $n$ -InP基板1に対向して設けられる電極パッド10と、電極パッド10と第2の導電性を有する半導体層4上の電極メタル11aとの間の配線メタル11b,11cとにより行われる。

[0045] 電極パッド10(及び配線メタル11b,11c)は、 $n$ -InP基板1との短絡を防止するため、層間絶縁膜としての、低誘電率の絶縁性材料膜8を介して $n$ -InP基板1上に配置される。

[0046] 低誘電率の絶縁性材料膜8は、例えばポリイミド材料、BCB材料等により形成され、 $n$ -InP基板1に対向する電極パッド10部分に生じる容量を低減すると共に電極パッド10部分の特性インピーダンス制御を可能としている。

[0047] すなわち、低誘電率の絶縁性材料膜8を、少なくとも電極パッド10を含む領域の下方部分においてメサ状に形成(突出部であるメサ状堆積部8c:高さ $t_1$ )し、電極パッド10が $n$ -InP基板1と所定の間隔 $t_1$ を有して配置されるようにしてある。

[0048] このように、絶縁性材料膜8の、少なくとも電極パッド10を含む領域を、高さ $t_1$  ( $t_1 > t_0$ )のメサ状堆積部8cとしたので、電極パッド10と第1の導電性を有する $n$ -InP基板1との間の距離を大きくとることができる。よって、電極パッド10と $n$ -InP基板1との間



の容量を小さくすることができ、特性インピーダンス制御を容易に行うことができる。さらに、上記容量を小さくすることができることから、電極パッド10のサイズを大きくすることができる。すなわち、電極パッド10のサイズの自由度を増すことができる。

[0049] 電極パッド10は他の素子や配線と電気接続され、電極メタル11aおよび配線メタル11b,11cを介して光導波路に電気信号が供給される。なお、電極メタル11aは、第2の導電性を有する半導体層4の直上に設けられた電極であり、配線メタル11b,11cは、電極メタル11aと電極パッド10とを接続する配線であり、配線メタル11cは、メサ状堆積部8cの傾斜面に設けられた配線である。

[0050] 図2に示すように、第2の実施形態に係る半導体光デバイス上の電極パッドは、第1の導電性を有する半導体基板であるn-InP基板21上に、第1の導電性を有する半導体クラッド層であるn-InPクラッド層22と、光デバイスの活性層、光吸収層又は光導波路コア層に相当するi層23と、第2の導電性を有する半導体クラッド層及び半導体コンタクト層であるp-InPクラッド層及びp型コンタクト層24とが積層されてなるメサストライプ型の光導波路(pin構造:高さ $t_0$ )が形成されている。

[0051] n-InP基板21の下面には電極パッド32が形成され、n-InPクラッド層22側からの光導波路との電氣的接続がなされている。一方、p-InPクラッド層及びp型コンタクト層24側からの光導波路との電氣的接続は、n-InP基板21に対向して設けられる電極パッド30と、電極パッド30とP型半導体層24上の電極メタル31aとの間の配線メタル31b,31cとにより行われる。

[0052] 電極パッド30(及び配線メタル31b,31c)は、n-InP基板21との短絡を防止するため、層間絶縁膜としての、低誘電率の絶縁性材料膜28を介してn-InP基板21上に配置される。

[0053] 低誘電率の絶縁性材料膜28は、例えばポリイミド材料、BCB材料等により形成され、n-InP基板21に対向する電極パッド30部分に生じる容量を低減すると共に電極パッド30部分の特性インピーダンス制御を可能としている。

[0054] すなわち、絶縁性材料膜28の、少なくとも電極パッド30を含む領域の下方において、n-InP基板21に溝部28cを形成するとともに、当該溝部28cを埋め込むように低誘電率の絶縁性材料膜28を堆積(厚さ $t_2$ )しており、電極パッド30はn-InP基板

21と所定の間隔 $t_2$ を有して配置されている。溝部28cは、底面と傾斜した側壁面とから構成され、溝部28cの底面の上方に電極パッド30が位置している。

[0055] このように、絶縁性材料膜28の、少なくとも電極パッド30を含む領域の下方において、n-InP基板21に溝部28cを設け、該溝部28cにも絶縁性材料膜28を厚さ $t_2$  ( $t_2 > t_0$ )で堆積しているため、電極パッド30と第1の導電性を有するn-InP基板21との間の距離を大きくとることができる。よって、電極パッド30とn-InP基板21との間の容量を小さくすることができ、特性インピーダンス制御を容易に行うことができる。さらに、上記容量を小さくすることができることから、電極パッド30のサイズを大きくすることができる。すなわち、電極パッド30のサイズの自由度を増すことができる。

[0056] また、電極パッド30が形成されている絶縁性材料膜28の表面を平坦化することが可能となり、よって、以降の電極プロセスを容易にすることが可能となる。

[0057] 電極パッド30は他の素子や配線と電気接続され、電極メタル31aおよび配線メタル31b,31cを介して光導波路に電気信号が供給される。なお、電極メタル31aは、P型半導体層24の直上に設けられた電極であり、配線メタル31b,31cは、電極メタル31aと電極パッド30とを接続する配線である。

[0058] 配線メタル31cは、溝部28cを構成する傾斜側壁面の直上に配置され、当該傾斜側壁面に対応して、n-InP基板21との距離が小さくなるにつれて(すなわち、配線メタル31cとn-InP基板21との間に介在する絶縁性材料膜28の厚さが小さくなるにつれて)幅が小さくなるテーパ形状である。この結果、電極パッド30から配線メタル31bまでの特性インピーダンスがスムーズにつながり、ほぼ一定の特性インピーダンスとなっている。

[0059] 上述する第1、第2の実施形態における電極パッド10, 30は、特性インピーダンスが $50\Omega$ となるように構成している。これらの実施形態では、他の電子デバイスが一般的に有する特性インピーダンスである $50\Omega$ としたが、他の値でも良い。これらの実施形態では寄生容量を小さく抑えているため、 $40\Omega$ 以上のハイインピーダンスに容易に調整することができる。

[0060] すなわち、電極パッドと、第1の導電性を有する半導体基板との間の容量は、上記厚さ $t_1$ および $t_2$ によって小さくすることができるので、所望の電極パッドサイズおよび

所望の電極パッドの特性インピーダンスが実現できる。従って、外部機器からのワイヤリングの制限が解消される。また、外部機器に対して特性インピーダンスをほぼ整合させることが可能となる。

- [0061] 上述する第1、第2の実施形態では、導電性を有する半導体基板に対向して設けられる電極パッド10、30として、光デバイス(光導波路)の片側にのみ配置した構成を示したが、光デバイスの両側に配置した構成でもよい。また、導電性を有する半導体基板に接続して設けられる電極パッド32として、半導体基板の下面のみに配置した構成を示したが、半導体基板の上面に配置したり、下面と上面とに配置した構成でもよい。
- [0062] 上述する第1、第2の実施形態では、導電性の半導体基板1、21として、n型の半導体基板を利用した例を示したが、p型の半導体基板を利用してもよい。また、低誘電率の絶縁性材料膜8、28として、一種類の材料によって構成した例を示したが、複数種類の低誘電率絶縁性材料を組み合わせてもよい。
- [0063] 上述する第1、第2の実施形態では、電極パッド10、30を、半導体光デバイスの端から所定の距離の領域に形成しているが、電極パッド10、30を、半導体光デバイスの端に形成するようにしても良い。この場合は、半導体光デバイスの電極パッドと外部機器とのワイヤリングに用いられる、金線等の導線の長さを短くすることが可能となり、外部機器との信号伝送等の不安定性をより軽減することができる。
- [0064] 上述する第1、第2の実施形態は、集中定数形の光デバイスであるが、これに限らず、進行波形の光デバイスであっても良い。
- [0065] なお、第1、第2の実施形態で重要なことは、電極パッドと第1の導電性を有する半導体基板との間の距離を大きくとることである。すなわち、外部機器からの伝送経路と良好に接続するように電極パッドのサイズを設定し、かつ、そのサイズの電極パッド部分の容量を低減することによって特性インピーダンスの制御を可能とし、その結果、電極パッドと伝送経路の特性インピーダンスを整合させることが重要である。このために、層間絶縁層である、低誘電率の絶縁性材料膜は、ハイメサストライプ型の光導波路の厚さ(高さ)と略等しい厚さ( $t_0$ )を有する第1の領域と、厚さ $t_0$ よりも厚い厚さ( $t_1$ 、 $t_2$ )を有する、少なくとも電極パッドが形成されている第2の領域とを備えている。すな

わち、第2の領域の厚さが第1の領域の厚さよりも相対的に厚くなるように、第1の実施形態では、メサ状堆積部8cを設けており、また、第2の実施形態では、n-InP基板21に溝部28cを設け、該溝部28c内にも絶縁性材料膜を形成しているのである。

[0066] また、絶縁性材料膜の厚さの異なる第1の領域、第2の領域それぞれの配線メタルおよび電極パッドの電極幅は、配線メタルおよび電極パッド部分それぞれが所望の特性インピーダンスとなるように各絶縁性材料膜の厚さに応じて、配線メタル部では細く、電極パッド部では大きくなるようにしている。よって、電極パッド部と配線メタル部の間でも良好な特性インピーダンスの整合が可能となる。また、配線メタル直下の絶縁性材料膜の厚さが薄いことでメサストライプ型の光導波路との段差を低減し、光導波路上の精細な電極形成プロセスに影響を与えることを回避でき、かつ、電極パッド部に於いては外部機器との良好なワイヤリングに適した大きさを確保することが可能となる。

[0067] このとき、配線メタルの幅は、配線メタルの直下の絶縁性材料膜の厚さがメサストライプ型の光導波路の厚さとほぼ同じ厚さである場合において、配線メタルが所望の特性インピーダンスを有するように設定するのが好ましい。

[0068] このように、第1、第2の実施形態では、ただ、電極パッドの直下の絶縁性材料膜の厚さを厚くするだけでなく、電極構造の幅に応じてその電極構造(電極パッドおよび配線メタル)の直下の絶縁性材料膜の厚さを設定しているので、外部機器に対する特性インピーダンス制御は良好なものとなる。

[0069] なお、第1、第2の実施形態では、電極パッド構造の接続素子として、光導波路を用いているが、これに限定されず、例えば、受光素子、面発光レーザ等、光デバイスに用いられる素子であればいずれの素子であっても良い。

[0070] <実施形態に係る電極パッドの電気特性>

電極パッドには、外部測定装置や外部回路等との電氣的な接続をする役割がある。電氣的な接続には金線等が用いられ、金線等が電極パッドに接続される。ここで、高周波電気信号を供給、伝搬させる場合には、一般的に、低ロス、低抵抗、低インダクタンスの金線等を用いることが要求されるため、金線等の幅が広い方が好ましく、例えば50  $\mu$ m程度の金リボンが用いられることが多い。したがって、金線の幅に対応し

て、電極パッドにも同程度の幅が要求される。

[0071] また、電極パッドの特性インピーダンスを制御し、外部測定装置もしくは外部回路の特性インピーダンスと整合させることは、外部から高周波電気信号を効率的に供給、伝搬するために重要である。外部測定装置等の特性インピーダンスは $40\ \Omega$ 以上、特に $50\ \Omega$ のものが一般的であり、この場合には、電極パッドを含めた電子デバイスもしくは光デバイス全体の特性インピーダンスを $50\ \Omega$ にすることが望ましい。すなわち、前記金リボンが接続される程度の幅を有した電極パッドの特性インピーダンスを $50\ \Omega$ にすることが重要となる。

[0072] 図3は、実施形態に係る電極パッドにおける透過電気信号強度及び特性インピーダンスと絶縁性材料膜の厚さとの関係図である。同図には、周波数 $50\text{GHz}$ において特性インピーダンス $50\ \Omega$ の線路から電気信号を供給し、 $50\ \mu\text{m}$ の幅を有した電極パッドを経由して、電気デバイスもしくは光デバイス側に透過してくる電気信号強度 $S_{21}$ を、電極パッド直下の絶縁性材料膜の厚さ(第1の実施形態では $t_1$ 、第2の実施形態では $t_2$ )に対してシミュレートした結果である。また、電極パッド直下の絶縁性材料膜の厚さに対する電極パッド部分の特性インピーダンス $Z_0$ も併せて示してある。

[0073] 同図から、電極パッド直下の絶縁性材料膜の厚さが薄いときには電気信号の透過特性が悪く、このときの特性インピーダンスは $50\ \Omega$ より低いことが分かる。また、絶縁性材料膜の厚さが厚くなるにしたがって電気信号の透過特性が改善し、 $20\ \mu\text{m}$ から $26\ \mu\text{m}$ の範囲で透過特性が最大となることが分かる。この透過特性が最大となる範囲での特性インピーダンスはほぼ $50\ \Omega$  ( $47\sim 56\ \Omega$ )であり、供給側の特性インピーダンスと同程度になっていることが分かる。更に、絶縁性材料膜の厚さを $26\ \mu\text{m}$ より厚くしていくと、透過特性は劣化し、このときの特性インピーダンスがハイインピーダンス側にずれていくことが分かる。

[0074] 同図に示すシミュレーション結果は、電極パッド幅を $50\ \mu\text{m}$ と仮定した場合の結果であるが、現実的な電極パッド幅(金線幅 $15\ \mu\text{m}$ 以上のものとの接続を想定している。)に対しても同様に絶縁性材料膜にある程度の厚さが要求されることを示すものである。

[0075] すなわち、同図に示すシミュレーション結果は、所望の電極パッド幅と所望の特性イ

ンピーダンスに対して、絶縁性材料膜の最適な厚さがあるということを意味する。この最適な厚さは、従来の厚さ(上述する、光導波路の高さ $t_0$ とほぼ同じ)よりも一般的に厚い。同図の結果より、電極パッド直下の絶縁性材料膜の厚さ $t_1$ 、 $t_2$ として、 $10\mu\text{m}$ 以上であればよく、好ましくは $17\sim 29\mu\text{m}$ であり、より好ましくは $20\sim 26\mu\text{m}$ である。

[0076] 電極パッドの幅は、實際上、外部との接続部位の幅よりも大きいことが望ましく、好ましくは $30\mu\text{m}$ 以上、より好ましくは $50\mu\text{m}$ 以上である。なお、電極パッドの幅が大きすぎると隣接する電極パッドとの干渉や、デバイスのスケール増加を引き起こすため、電極パッドの幅の上限値は、これらの条件により制限される。外部との接続部位とは、ボンディングのための金属線や金属リボンであり、また、フリップチップボンディングの際の半田バンプ等である。

[0077] 図4は、実施形態に係る解析に用いた、半導体電界吸収型光変調器の模式図である。

図4に示す、半導体電界吸収(EA)型光変調器48は、導電性基板( $n\text{-InP}$ 基板)40上に作製されており、電極構造に入出力電極構造を採用し、その電極パッド部に本発明の一実施形態に係る構造を利用している。すなわち、入力電極は、電極パッド43と配線メタル44とからなり、出力電極は、電極パッド47と配線メタル46とからなる。光導波路部分45は、中央に素子長 $75\mu\text{m}$ の半導体電界吸収型光変調器48を配置し、その両端にパッシブ光導波路を接続した構造である。

[0078] 光導波路部分45の側面部分および電極配線／電極パッド直下は、低誘電率( $\epsilon_r = 2.9$ )のポリイミド(絶縁性材料膜)41で埋め込まれている。電極パッド43、47の幅は外部機器とのワイヤボンディングを考慮して $30\mu\text{m}$ としている。また、導電性基板40の、少なくとも電極パッド43を含む領域には、溝部42が形成されており、該溝部42にも当然ポリイミド41は埋め込まれている。同様に、導電性基板40の、少なくとも電極パッド47を含む領域にも、溝部42が形成されており、該溝部42にもポリイミド41が埋め込まれている。

[0079] 上述の構成において、半導体電界吸収型光変調器の電極パッド部の深さ(溝部に堆積したポリイミドの厚さ)をパラメータとして、電気反射特性および電気透過特性の周波数依存性について計算した結果をそれぞれ、図5AおよびBに示す。

- [0080] 電極パッド部分直下(電極パッド43(47)を少なくとも含む領域)に掘り込み(溝部42)を形成しない場合、つまり半導体電界吸収型光変調器のメサ高さと同程度の厚さを有したポリイミドが電極パッド43、47の下にある従来の場合、約18GHzにおいて、図5Aから分かるように、電気反射特性が $-10\text{dB}$ 以上となる。また、図5Bから分かるように、電気透過特性においても比較的急峻な劣化が見られている。
- [0081] これに対し、電極パッド部分直下(電極パッド43(47)を少なくとも含む領域)に掘り込み(溝部42)を形成し、この掘り込み部に堆積したポリイミドの厚さを、5、10、15、 $20\mu\text{m}$ とした場合、図5Aから分かるように、電気反射特性が $-10\text{dB}$ 以上となる周波数はそれぞれ、27GHz、45GHz、47GHz、47GHzと高周波まで伸びる。また、図5Bから分かるように、電気透過特性においても従来構造に比べてロス低減が確認される。また、50GHzにおける電気透過特性を比較した場合、約1dBの改善が確認された。
- [0082] 図6は、電極パッド部分(電極幅 $=30\mu\text{m}$ )直下の掘り込み(溝部)の深さをパラメータとしたときの電気透過損が $-2\text{dB}$ となる周波数をプロットした図である。特に、特性インピーダンスが約 $50\Omega$ となる深さ $10\mu\text{m}$ の掘り込み深さにおいてその効果が大きく、50GHzを超えるような良好な特性が得られた。
- [0083] このように、外部機器からの伝送経路と良好に接続し、かつ特性インピーダンスを良好に整合させるのに適した厚さに、低誘電率を有する絶縁性材料膜の、少なくとも電極パッドを含む領域の厚さを設定すればよい。
- [0084] <第1の実施形態に係る電極パッドの作製方法>  
次に、第1の実施形態に係る電極パッドの作製方法について説明する。図7、8、9は、第1の実施形態に係る半導体光デバイス上の電極パッドの作製方法を示す工程図である。
- [0085] まず、第1の導電性を有する半導体基板であるn-InP基板1上に、第1の導電性を有する半導体クラッド層であるn-InPクラッド層2と、光デバイスの活性層、光吸収層又は光導波路コア層であるi層3と、第2の導電性を有する半導体クラッド層及び半導体コンタクト層であるp-InPクラッド層及びp型コンタクト層4とを順次、成長させた(図7、工程1)。

- [0086] 工程1において光デバイスの各半導体層が積層されたウエハ表面に、例えばスパッタ装置により $\text{SiO}_2$ 膜5を成膜した後、レジスト6をフォトリソグラフィを用いて形成した(図7、工程2)。次に、ドライエッチング法を用いて $\text{SiO}_2$ マスク5'を形成した(図7、工程3)。
- [0087] 工程3で形成した $\text{SiO}_2$ マスク5'を用いて、ドライエッチング法によりメサストライプ型の光導波路を形成した(図7、工程4)。一般的に、シングルモード半導体レーザのメサストライプの幅は大きくても $2\mu\text{m}$ であり、メサストライプの高さは $5\mu\text{m}$ 以下であることが多い。
- [0088] メサストライプ型の光導波路を形成した後、HF等によるウエットエッチングにより $\text{SiO}_2$ マスク5'を除去し、ウエハ全面に $\text{SiO}_2$ 膜を成膜し、半導体基板表面の保護膜7とした(図8、工程5)。
- [0089] 次に、メサストライプ型の光導波路の近傍に、低誘電率の絶縁性材料により、メサ状(断面形状が台形)の第1堆積部8aを形成した(図8、工程6)。第1堆積部8aを形成する箇所は、後述する電極パッド10の形成位置の下方である。後の工程(図9、工程10)において、メサストライプ型の光導波路におけるメサ上部のコンタクトプロセスを実施しやすいように、第1堆積部8aと光導波路との間隔を十分取った。
- [0090] 第1堆積部8aの形成方法としては、例えば、ポリイミド材料やBCB等の低誘電率の絶縁性材料を保護膜7上に塗布した後、レジストマスク等をフォトリソグラフィで作製し、後述する電極パッド10直下に相当する部分以外をエッチング除去して形成することができる。他の方法としては、感光性のポリイミド材料等を用いてフォトリソグラフィによって形成してもよい。
- [0091] 次に保護膜7及び第1堆積部8aの上に、低誘電率の絶縁性材料により第2堆積部8bを形成した(図8、工程7)。この結果、形成された低誘電率の絶縁性材料膜8は、メサストライプ型の光導波路の近傍に厚さ $t_1$ のメサ状堆積部8cを有する膜となる。電極パッド部分とメサストライプ型の光導波路間の配線部分である配線メタル11bの直下の絶縁性材料膜については、作製の容易性から厚い膜とはせずに、光導波路と同程度の厚さ $t_0$ とした。
- [0092] 次に、メサストライプ型の光導波路におけるメサ直上の保護膜7をエッチング除去し



た(図8、工程8)。更に、除去した保護膜7の部分において、第2の導電性を有する半導体層4と接続するオーミック電極9を形成した(図9、工程9)。

[0093] 次に、低誘電率の絶縁性材料膜8におけるメサ状堆積部8cの上に電極パッド10を、光導波路のオーミック電極9の上に電極メタル11aを、電極パッド10と電極メタル11aとの間を接続する配線メタル11b,11cを形成した。更に、n-InP基板1を100  $\mu$ m程度に研磨した後、研磨面に裏面オーミック電極および電極パッド12を形成した(図9、工程10)。

[0094] 第1の実施形態では、電極パッド10にワイヤボンディングできるように電極パッドの幅を50  $\mu$ mとし、電極パッド10部分における特性インピーダンスが50  $\Omega$ 程度になるよう電極パッド10直下の低誘電率の絶縁性材料膜の厚さ $t_1$ を約20  $\mu$ mとした。また、配線メタル11bの特性インピーダンスについても50  $\Omega$ 程度になるよう配線線路幅を調整した

最後に、ウェハに形成した複数の光デバイス素子を劈開によって切り出し、劈開面を無反射コーティングして光デバイス素子を完成させた。なお、図9に光デバイス素子の平面図を示す。

[0095] <第2の実施形態に係る電極パッドの作製方法>

次に、第2の実施形態に係る電極パッドの作製方法について説明する。図10、11、12は、第2の実施形態に係る半導体光デバイス上の電極パッドの作製方法を示す工程図である。

[0096] まず、第1の導電性を有する半導体基板であるn-InP基板21上に、第1の導電性を有する半導体クラッド層であるn-InPクラッド層22と、光デバイスの活性層、光吸収層又は光導波路コア層であるi層23と、第2の導電性を有する半導体クラッド層及び半導体コンタクト層であるp-InPクラッド層及びp型コンタクト層24とを順次、成長させた(図10、工程1)。

[0097] 工程1において光デバイスの各半導体層が積層されたウェハ表面に、例えばスパッタ装置によりSiO<sub>2</sub>膜25を成膜した後、レジスト26をフォトリソグラフィを用いて形成した(図10、工程2)。次に、ドライエッチング法を用いてSiO<sub>2</sub>マスク25'を形成した(図10、工程3)。

- [0098] 工程3で形成した $\text{SiO}_2$ マスク25'を用いて、ドライエッチング法によりメサストライプ型の光導波路を形成した(図10、工程4)。一般的に、シングルモード半導体レーザのメサストライプの幅は大きくても $2\mu\text{m}$ であり、メサストライプの高さは $5\mu\text{m}$ 以下であることが多い。
- [0099] メサストライプ型の光導波路を形成した後、HF等によるウエットエッチングにより $\text{SiO}_2$ マスク25'を除去し、ウエハ全面に $\text{SiO}_2$ 膜を成膜し、半導体基板表面の保護膜27とした(図11、工程5)。
- [0100] 次に、メサストライプ型の光導波路の近傍における保護膜27の一部を除去すると共に、除去しない保護膜27をマスクとしてHCl系のウエットエッチングを行い、n-InP基板21に溝部28cを形成する(図11、工程6)。
- [0101] 溝部28cを形成する箇所は、後述する電極パッド30の形成位置の下方である。後の工程(図12、工程10)において、メサストライプ型の光導波路におけるメサ上部のコンタクトプロセスを実施しやすいように、溝部28cと光導波路との間隔を十分取った。
- [0102] 溝部28cの形状は、n-InP基板21の表面から溝部28cの底面までの側壁面が傾斜する形状とした。この結果、後述する低誘電率の絶縁性材料の塗布工程(図11、工程7)が容易になる。なお、溝部28cの側壁面は垂直に形成してもよい。
- [0103] 溝部28cの形成方法としては、Br系のウエットエッチング等でもよく、また、ドライエッチング等を用いてもよい。溝部28cの側壁面を傾斜面とするためには、例えばミリングやウエットエッチングを用いればよい。
- [0104] 次に、低誘電率の絶縁性材料である感光性ポリイミドを用いたフォトリソグラフィにより、溝部28cを埋め戻して、溝部28c内に第1堆積部28aを形成した(図11、工程7)。この結果、n-InP基板21の表面が平坦化され、以降の工程を従来の光デバイス作製工程と同様に進めることができる。
- [0105] 次に保護膜27及び第1堆積部28aの上に、低誘電率の絶縁性材料である例えば感光性ポリイミドを用いたフォトリソグラフィにより第2堆積部28bを形成した(図11、工程8)。この結果、形成された低誘電率の絶縁性材料膜28は、メサストライプ型の光導波路の近傍に厚さ $t_2$ の低誘電率の絶縁性材料部分を有する膜となる。

- [0106] 電極パッド部分とメサストライプ型の光導波路間の配線部分である配線メタル31bの直下の絶縁性材料膜については、作製の容易性からn-InP基板21に溝を形成して厚い膜とはせずに、光導波路と同程度の厚さ $t_0$ とした。これは、他に、メサストライプ型の光導波路におけるメサ上部のコンタクトプロセスを実施しやすいようにするという目的も有する。
- [0107] なお、溝部28cに絶縁性材料を埋め込む工程(7)や、メサストライプ型の光導波路周辺を絶縁性材料で埋め込む工程(8)では、非感光性のポリイミド材料やBCB材料等を塗布し、その後フォトリソグラフィ法によるレジストマスクと $O_2$ 系のドライエッチングを用いて、必要な領域以外の絶縁性材料を除去する方法を用いてもよい。
- [0108] 次に、メサストライプ型の光導波路におけるメサ直上の保護膜27をエッチング除去し、除去した保護膜27の部分において、第2の導電性を有する半導体層24と接続するオーミック電極29を形成した(図12、工程9)。
- [0109] 次に、低誘電率の絶縁性材料膜28における溝部28cの上方に電極パッド30を、光導波路のオーミック電極29の上に電極メタル31aを、電極パッド30と電極メタル31aとの間を接続する配線メタル31b,31cを形成した。更に、n-InP基板21を $100\mu m$ 程度に研磨した後、研磨面に裏面オーミック電極および電極パッド32を形成した(図12、工程10)。
- [0110] 第2の実施形態では、電極パッド30にワイヤボンディングできるように電極パッドの幅を $50\mu m$ とし、電極パッド30部分における特性インピーダンスが $50\Omega$ 程度になるよう電極パッド30直下の低誘電率の絶縁性材料膜の厚さ $t_2$ を約 $20\mu m$ とした。また、配線メタル31bの特性インピーダンスについても $50\Omega$ 程度になるよう配線線路幅を調整した。
- [0111] 配線メタル31cは、溝部28cを構成する傾斜側壁面の直上に配置され、当該傾斜側壁面に対応して、n-InP基板21との距離が小さくなるにつれて(すなわち、配線メタル31cとn-InP基板21との間に介在する絶縁性材料膜28の厚さが小さくなるにつれて)幅が小さくなるテーパ形状とした。この結果、電極パッド30から配線メタル31bまでをスムーズに所望の特性インピーダンスでつなげることが容易となる。
- [0112] 最後に、ウェハに形成した複数の光デバイス素子を劈開によって切り出し、劈開面

を無反射コーティングして光デバイス素子を完成させた。なお、図12に光デバイス素子の平面図を示す。

- [0113] なお、第2の実施形態に係る作製方法では、 $n$ -InP基板21上にメサストライプ型の光導波路を形成した後、溝部28cを形成したが、溝部28cを先に形成してもよい。また、溝部28cを絶縁性材料で平坦に埋め戻すことにより、以降の電極形成工程等で実施するフォトリソグラフィ等のプロセスを容易に進めることができる作製方法としたが、埋め戻す際に、多少の段差が残っても特性上の問題はない。
- [0114] また、第2の実施形態では、電極パッド30の直下にのみ溝部28cを形成したが、光デバイスの光導波路を形成することができれば、電極パッド30の直下以外の領域にも及んで掘込んだ形状としても良い。ただし、ある程度の面積が必要となる電極パッド部分に比べ、電極パッドと光導波路間の配線メタル31bにおいては、線路幅を狭くすることにより、直下の絶縁性材料が $10\mu\text{m}$ 以下と薄くても特性インピーダンスを $50\Omega$ 程度にすることは容易であるため、配線メタル31bの直下の半導体基板に溝部を及ぼす必要性は少ない。
- [0115] なお、第1の実施形態においても、電極パッド10と配線メタル11bとを接続する配線メタル11cの形状をテーパ形状としてもよい。第2の実施形態と同様に、配線メタル11c直下の絶縁性材料膜の厚さが小さくなるにつれて、幅が小さくなるようなテーパ形状とすることにより、特性インピーダンスをスムーズにつなげることができる。
- [0116] また、上述する実施形態では、本発明に係る電極パッド構造を半導体光デバイスに配置した例について説明したが、電子デバイスや終端抵抗やバイアス回路のような電子デバイス部品等を集積したものに適用してもよい。
- [0117] また、本発明に係る電極パッド構造を、電子デバイスと光デバイスを組み合わせた集積デバイスに適用しても良い。
- [0118] また、電極パッド部分および配線部分の特性インピーダンスは所望の値とすることが可能で、 $50\Omega$ より大きくしても、小さくしても良い。上述する実施形態で説明した例では、他の電子デバイスで一般的な $50\Omega$ の特性インピーダンスとしたが、例えば光導波路と同様の特性インピーダンスとして、光導波路近傍の電極の電気反射をなくするような応用が考えられる。

- [0119] また、電極パッド直下の低誘電率の絶縁性材料膜と導電性の半導体基板との間、および電極パッドと光導波路とを接続する配線メタル直下の絶縁性材料膜と半導体基板との間などに、電極パッドを設けて導電性の半導体基板に電気的な接続を行ってもよい。これにより、電極パッド(基板に対向する電極パッドではなく、基板に電気接続される電極パッド)から光導波路までの電気信号のロスを低減する効果が期待できる。
- [0120] なお、本明細書において、「光デバイス素子」とは、光導波路、受光素子、半導体レーザ等、通常の光デバイスを構成する素子であって、電極構造を有する素子のことを指す。また、「電子デバイス素子」とは、高出力ヘテロ接合バイポーラトランジスタ(HBT)等の通常の電子デバイスにおいて、電極構造を有する素子のことを指す。すなわち、本発明では、光デバイスや電子デバイスを構成する素子の構造というよりは、その電極構造に特徴があるので、電極構造を有する素子であればいずれの素子にも適用できる。

## 請求の範囲

- [1] 導電性基板と、  
該導電性基板上に形成された絶縁性材料膜と、  
該絶縁性材料膜上に形成された電極パッドと、  
前記絶縁性材料膜上に形成され、前記電極パッドに接続され、前記電極パッドとは異なる幅を有する配線とを備え、  
前記電極パッドのサイズは、外部機器との電氣的な接続部位と略同じサイズ以上であり、前記絶縁性材料膜の、少なくとも前記電極パッドが形成された第1の領域の第1の厚さは、前記電極パッドの特性インピーダンスと前記電極パッドに接続する外部機器との特性インピーダンスとがほぼ整合するように、前記絶縁性材料膜の、前記配線の少なくとも一部が形成された第2の領域であって、前記第1の領域以外の第2の領域の第2の厚さとは異なる厚さであることを特徴とする導電性半導体基板上の電極パッド。
- [2] 前記配線の幅は、前記電極パッドのサイズよりも細い幅であり、前記絶縁性材料膜の前記第1の領域の厚さは、前記絶縁性材料膜の前記第2の領域の厚さよりも厚いことを特徴とする請求項1記載の導電性半導体基板上の電極パッド。
- [3] 前記絶縁性材料膜は、前記第1の領域が表面に突出している突出部を有していることを特徴とする請求項2記載の導電性半導体基板上の電極パッド。
- [4] 前記突出部の側壁面は傾斜していることを特徴とする請求項3記載の導電性半導体基板上の電極パッド。
- [5] 前記電極パッドは、前記突出部の上面に位置し、  
前記電極パッドには、前記絶縁性材料膜の表面に沿って配置される前記配線が接続されており、該配置された配線における前記傾斜する側壁面に配置される部分は、該配線の下方の前記半導体基板までの厚さが大きいほど幅が大きくなる、平面テーパ形状であることを特徴とする請求項4記載の導電性半導体基板上の電極パッド。
- [6] 前記電極パッド及び前記配線の特性インピーダンスが略50Ωになるように、前記配線におけるテーパ形状の部分のテーパ幅の変化率及び／又は前記傾斜する側壁

面の傾斜角が調整されていることを特徴とする請求項5記載の導電性半導体基板上の電極パッド。

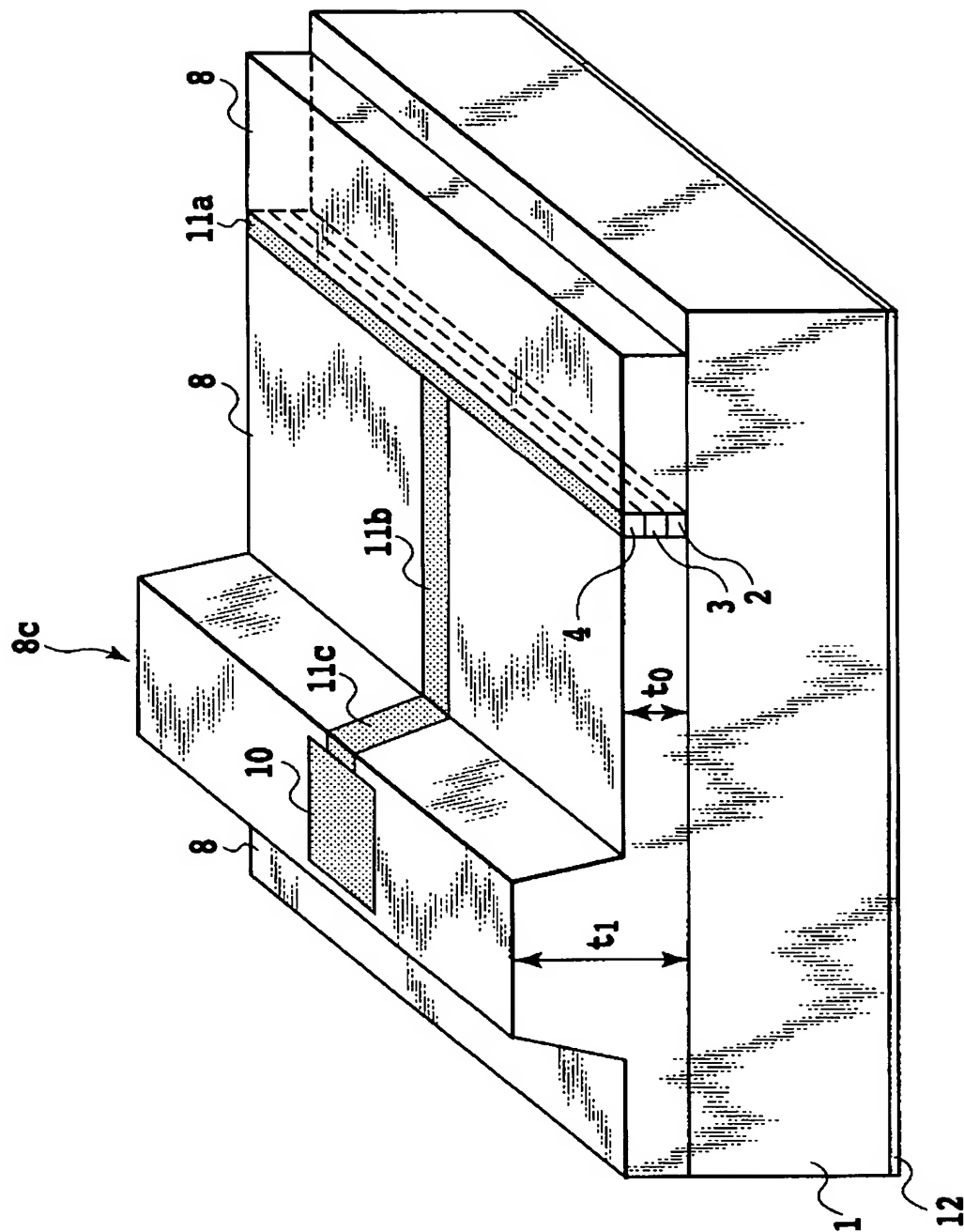
- [7] 前記第2の領域に形成された配線の特性インピーダンスが前記電極パッドの特性インピーダンスとほぼ整合するように、前記第2の領域に形成された配線の幅および前記第2の厚さが調整されていることを特徴とする請求項6記載の導電性半導体基板上の電極パッド。
- [8] 前記導電性基板上には溝部が形成されており、  
前記絶縁性材料膜の第1の領域の一部分は、前記溝部の底面から前記電極パッドまでの間隔が前記第1の厚さとなるように、前記溝部内形成されていることを特徴とする請求項2記載の導電性半導体基板上の電極パッド。
- [9] 前記絶縁性材料膜の表面は、略平坦であることを特徴とする請求項8記載の導電性半導体基板上の電極パッド。
- [10] 前記溝部の側壁面は、該溝部の底面となす角が直角よりも大きくなるように傾斜していることを特徴とする請求項9記載の導電性半導体基板上の電極パッド。
- [11] 前記電極パッドは、前記溝部の底面の上方に位置し、  
前記電極パッドには、前記絶縁性材料膜の表面に沿って配置される前記配線が接続され、該配線における前記傾斜する側壁面の上方に位置する部分は、前記配線の下方の前記半導体基板までの深さが大きいほど幅が大きくなる、平面テーパ形状であることを特徴とする請求項10記載の導電性半導体基板上の電極パッド。
- [12] 前記電極パッド及び前記配線の特性インピーダンスが略50Ωになるように、前記配線におけるテーパ形状の部分のテーパ幅の変化率及び／又は前記傾斜する側壁面の傾斜角が調整されていることを特徴とする請求項11記載の導電性半導体基板上の電極パッド。
- [13] 前記第2の領域に形成された配線の特性インピーダンスが前記電極パッドの特性インピーダンスとほぼ整合するように、前記第2の領域に形成された配線の幅および前記第2の厚さが調整されていることを特徴とする請求項12記載の導電性半導体基板上の電極パッド。
- [14] 前記第1の厚さは、前記電極パッドの大きさ、および前記外部機器の特性インピー

ダンスに応じて設定されることを特徴とする請求項1記載の導電性半導体基板上の電極パッド。

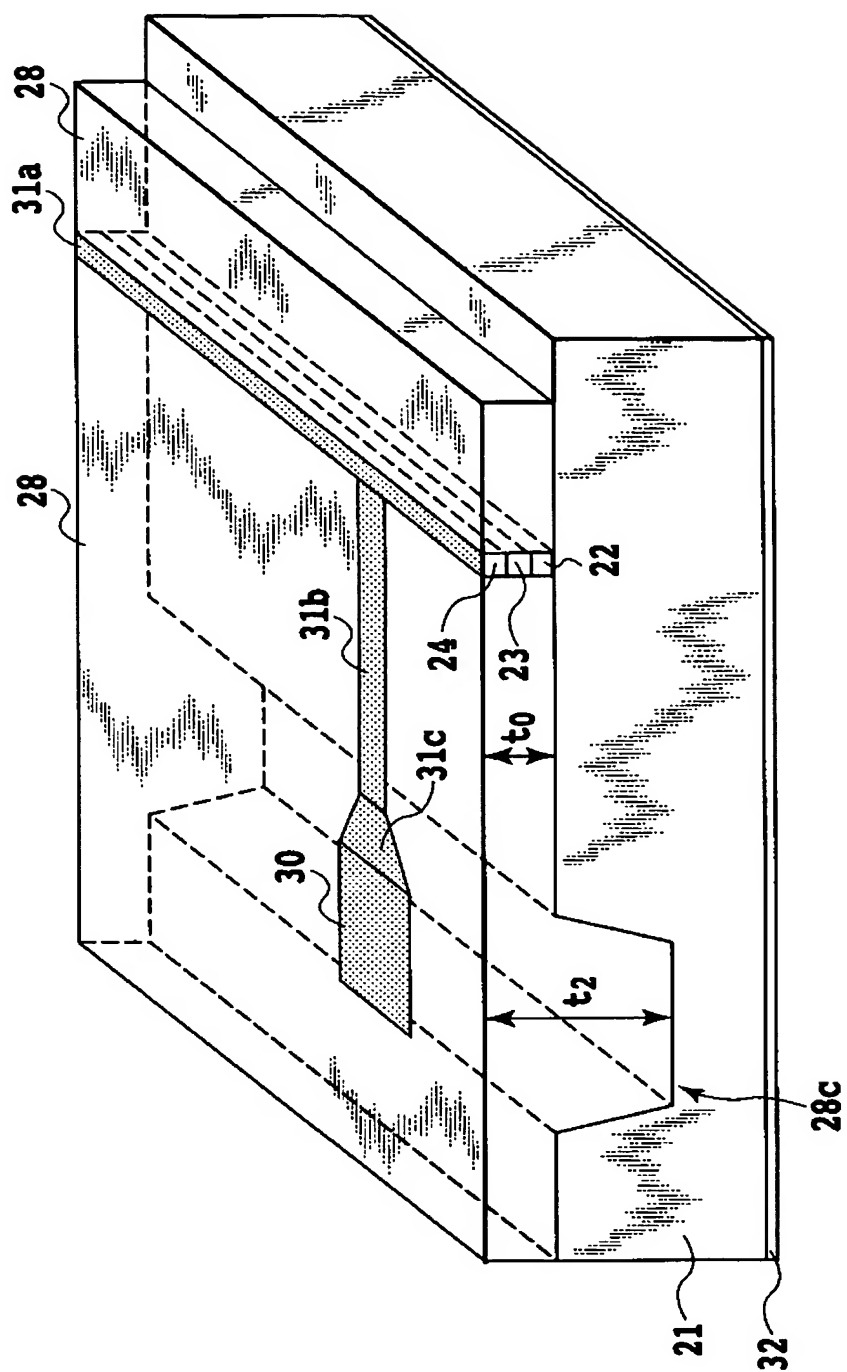
- [15] 前記電極パッドのサイズは $30\mu\text{m}$ 以上であることを特徴とする請求項1記載の導電性半導体基板上の電極パッド。
- [16] 前記電極パッドの特性インピーダンスは、略40オームであることを特徴とする請求項1記載の導電性半導体基板上の電極パッド。
- [17] 前記電極パッドの特性インピーダンスは、略50オームであることを特徴とする請求項1記載の導電性半導体基板上の電極パッド。
- [18] 前記配線は、光デバイス素子に接続されていることを特徴とする請求項1記載の導電性半導体基板上の電極パッド。
- [19] 前記配線は、電子デバイス素子に接続されていることを特徴とする請求項1記載の導電性半導体基板上の電極パッド。
- [20] 前記電極パッドは、導電性基板の端上に形成されていることを特徴とする請求項1記載の導電性半導体基板上の電極パッド。



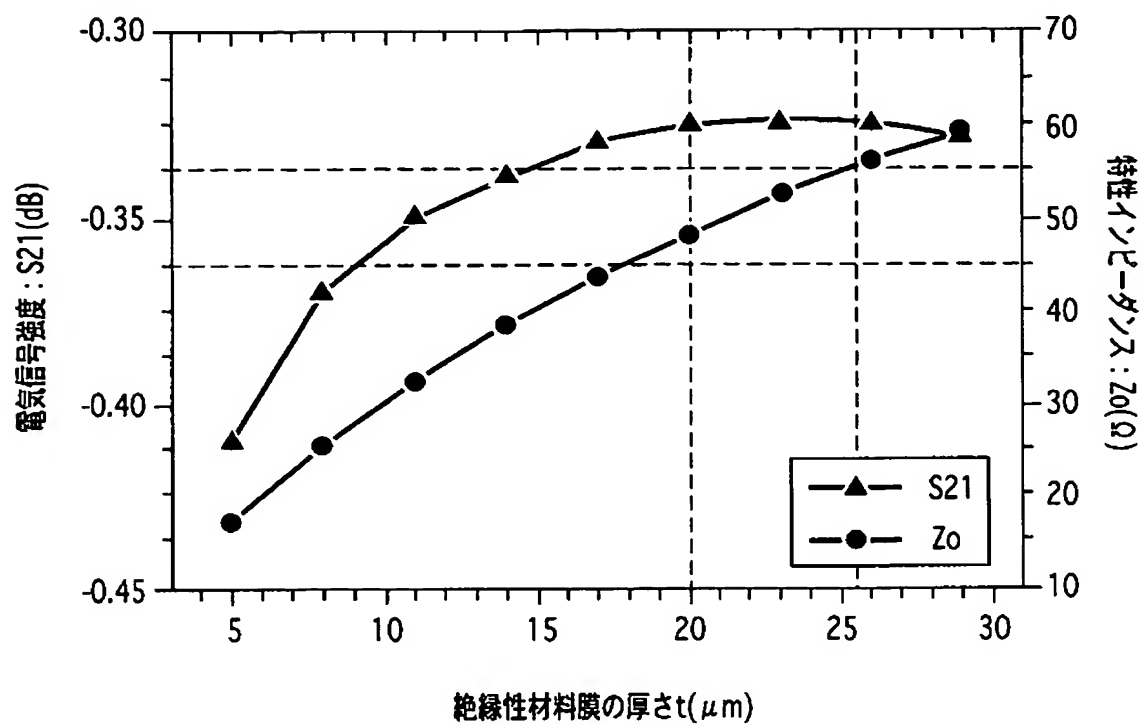
[図1]



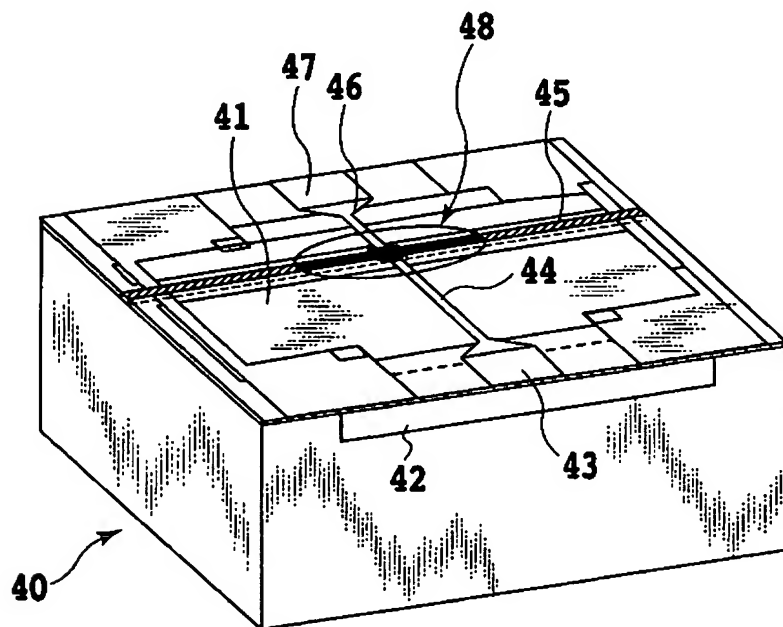
[図2]



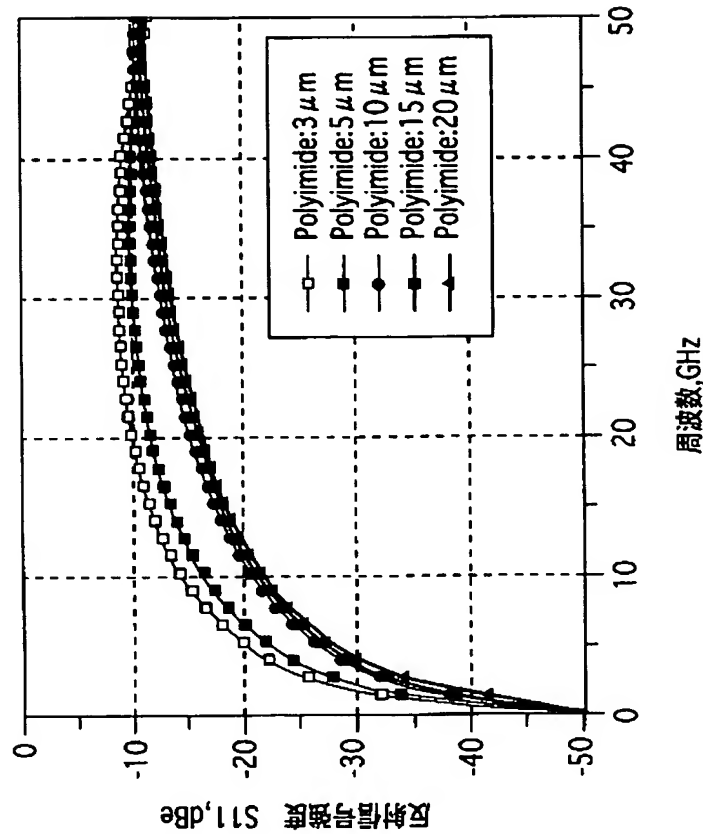
[図3]



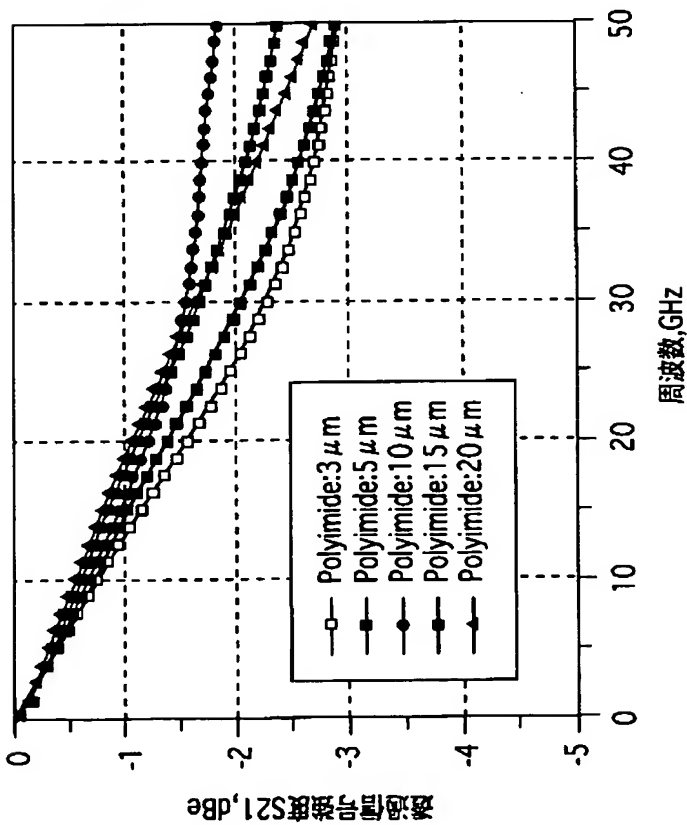
[図4]



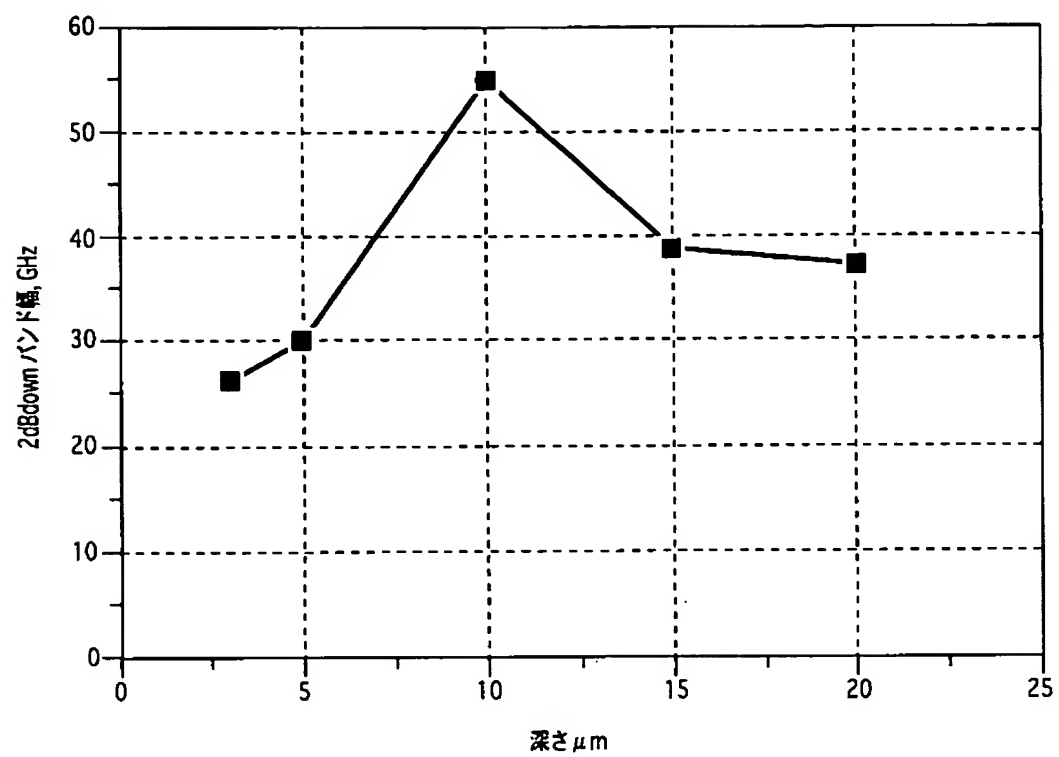
[図5A]



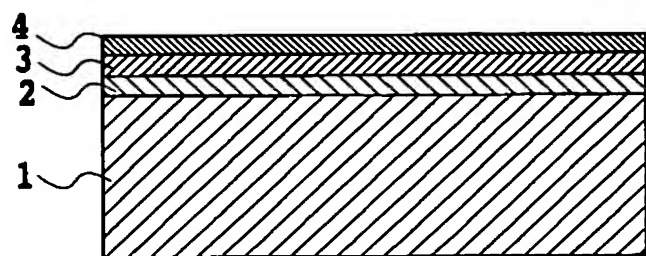
[図5B]



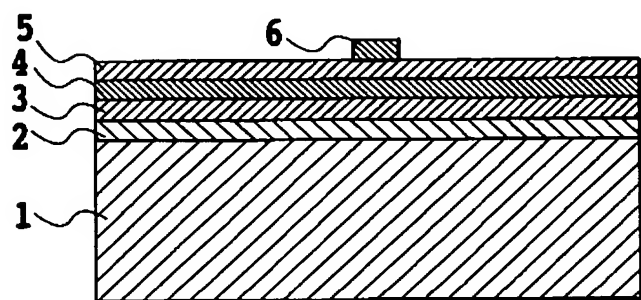
[図6]



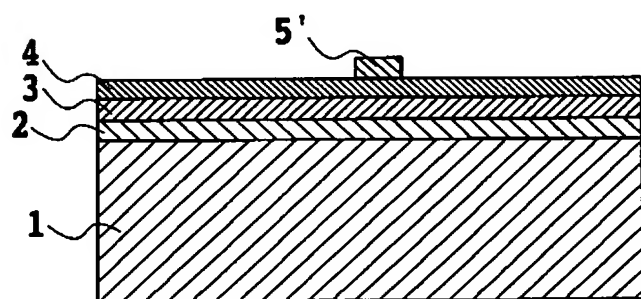
[図7]



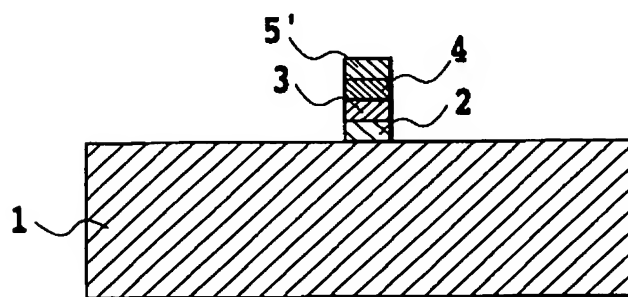
工程 (1)



工程 (2)

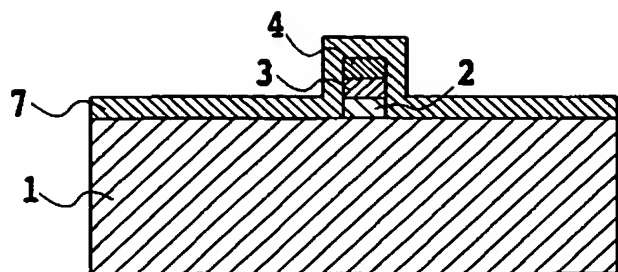


工程 (3)

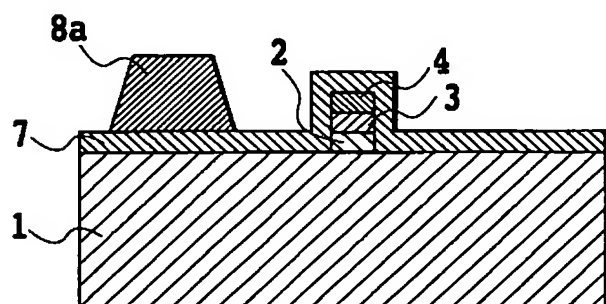


工程 (4)

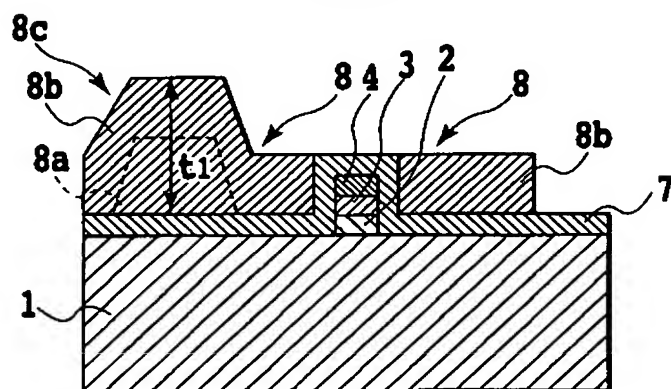
[図8]



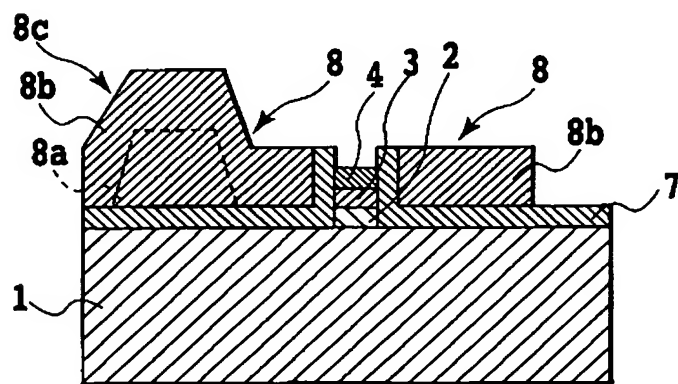
工程 (5)



工程 (6)

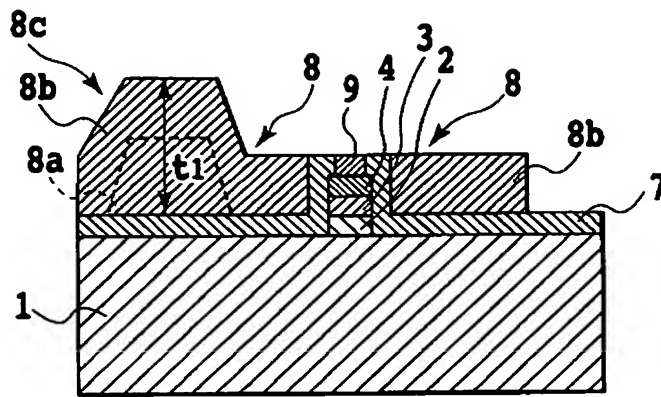


工程 (7)

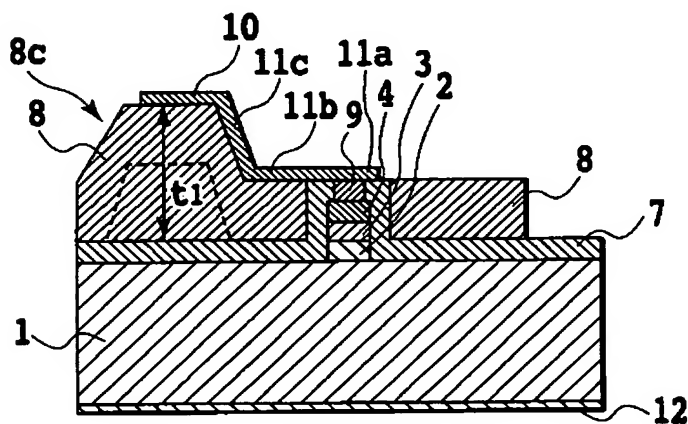


工程 (8)

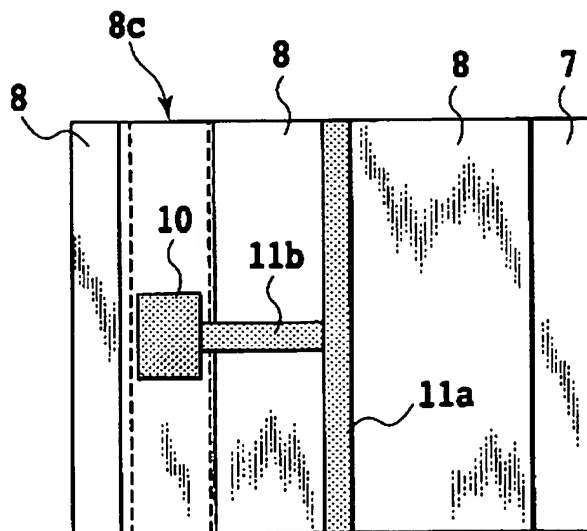
[図9]



工程 (9)



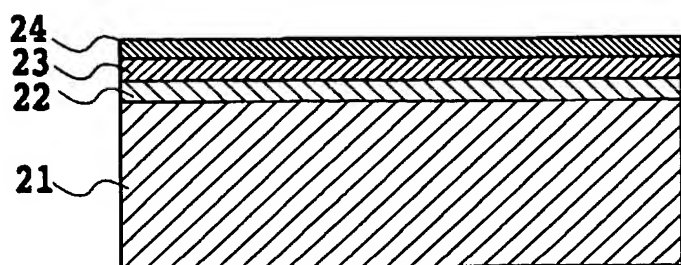
工程 (10)



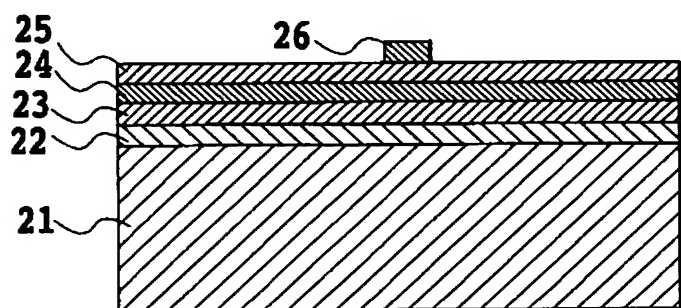
(平面図)



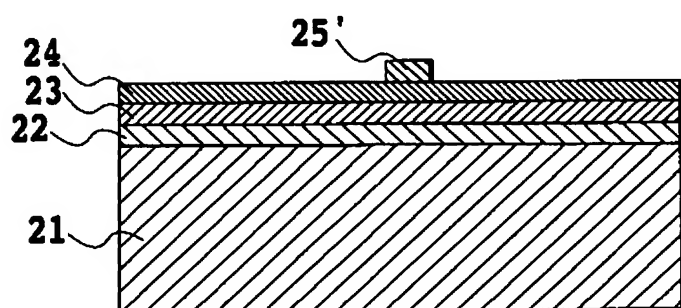
[図10]



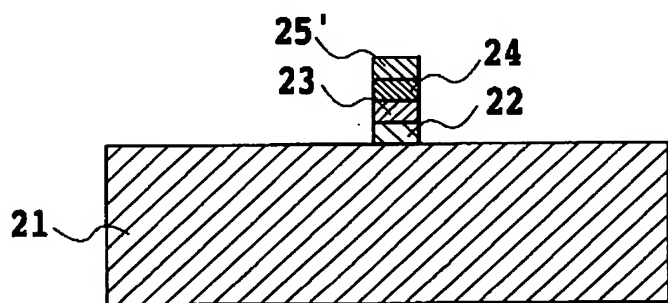
工程 (1)



工程 (2)

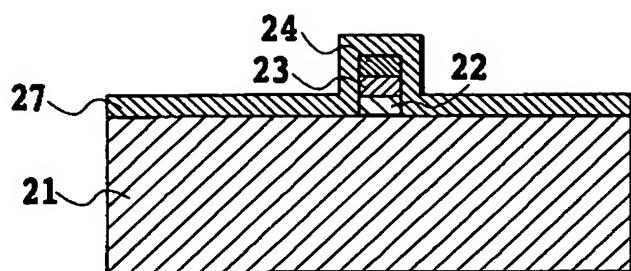


工程 (3)

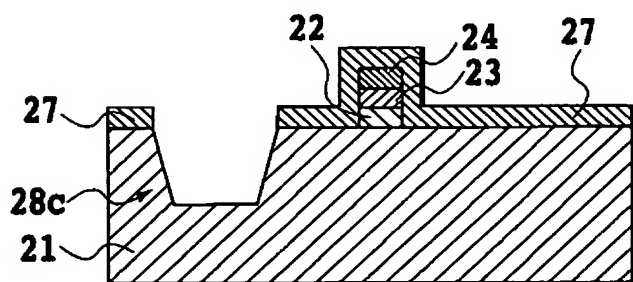


工程 (4)

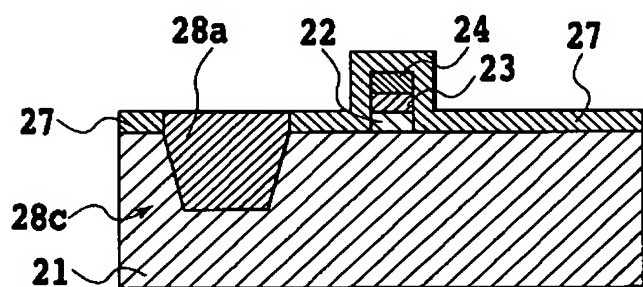
[図11]



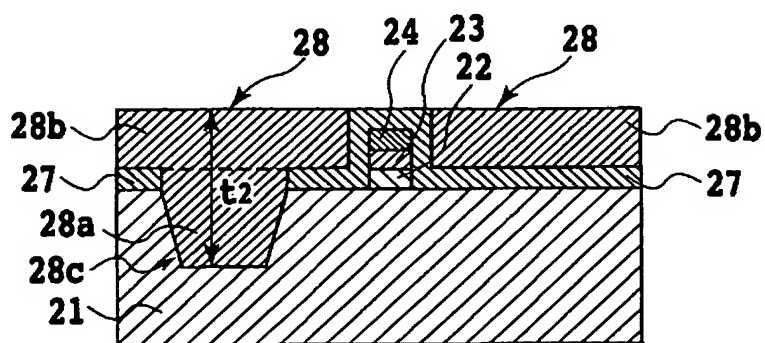
工程 (5)



工程 (6)

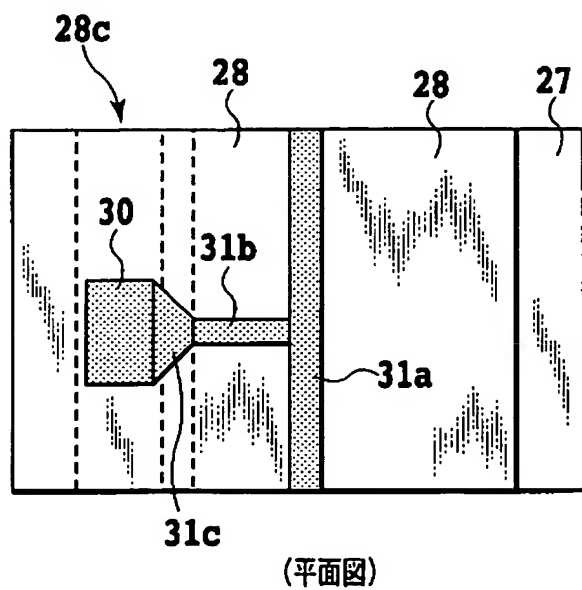
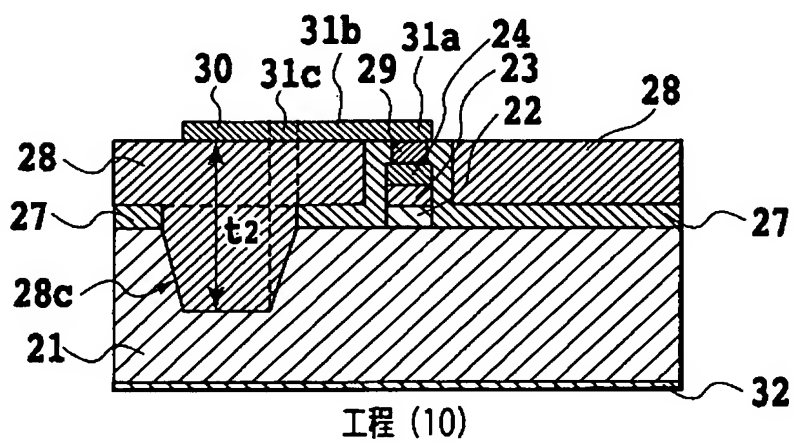
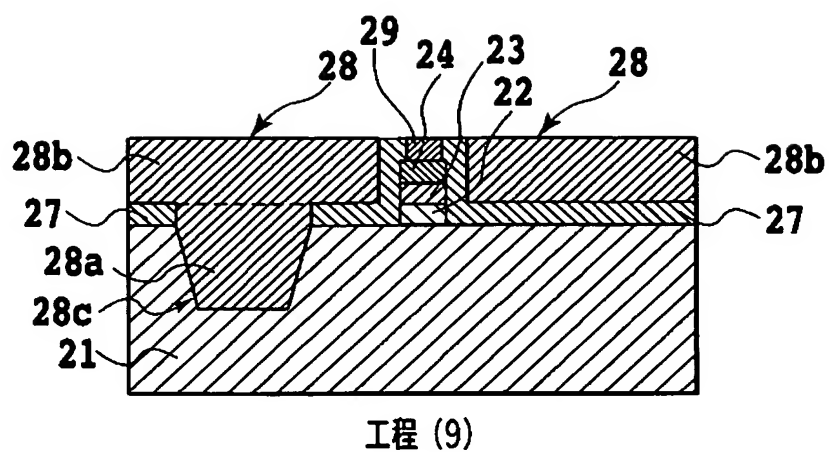


工程 (7)

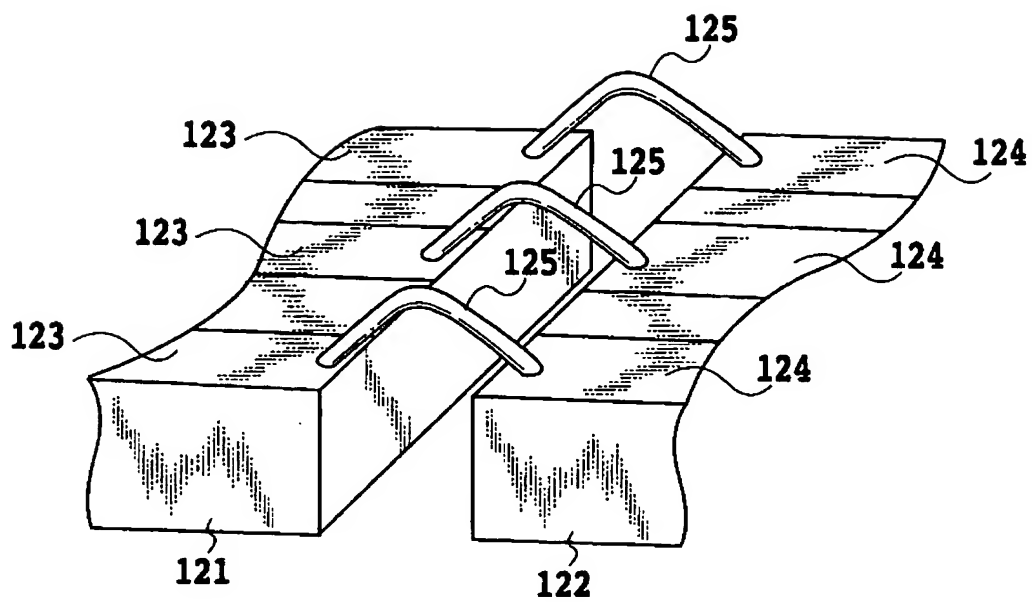


工程 (8)

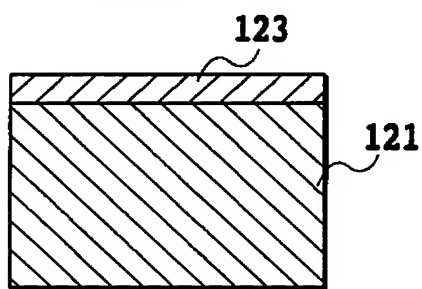
[図12]



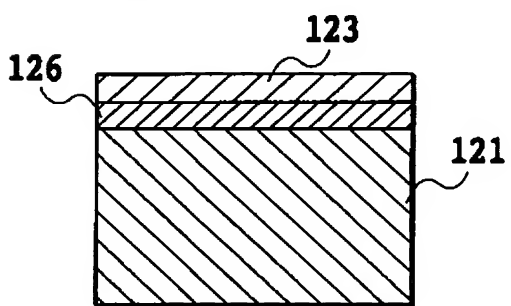
[図13A]



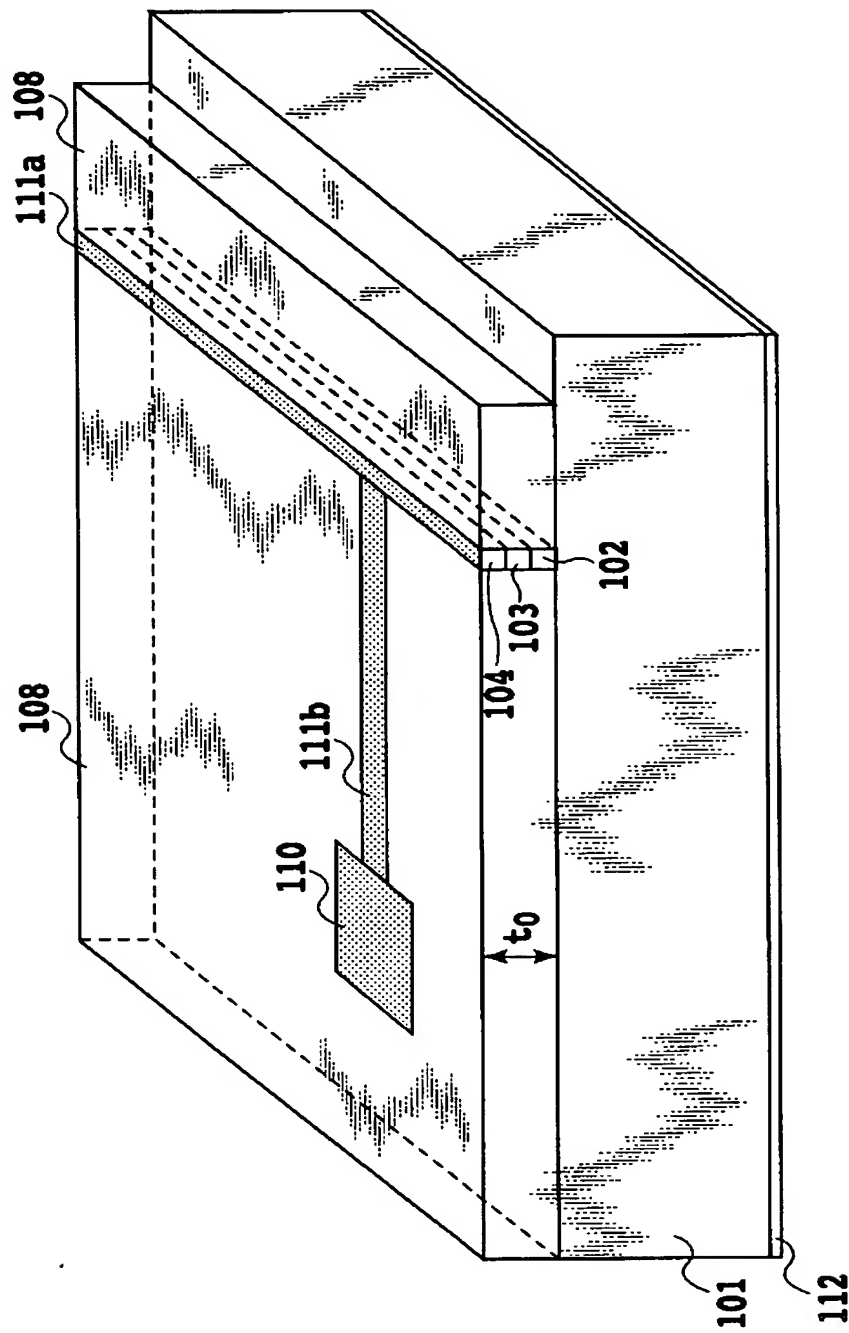
[図13B]



[図13C]



[図14]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009064

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H01L21/3205, 21/60, 27/14, H01S5/042

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L21/3205, 21/60, 27/14, H01S5/042

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-023010 A (Kyocera Corp.), 24 January, 2003 (24.01.03), Full text; all drawings (Family: none)	1-20
A	JP 06-013438 A (NEC Corp.), 21 January, 1994 (21.01.94), Full text; all drawings (Family: none)	1-20

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
08 August, 2005 (08.08.05)Date of mailing of the international search report  
23 August, 2005 (23.08.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/3205, 21/60, 27/14, H01S5/042

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/3205, 21/60, 27/14, H01S5/042

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-023010 A (京セラ株式会社) 2003.01.24, 全文, 全図 (ファミリーなし)	1-20
A	JP 06-013438 A (日本電気株式会社) 1994.01.21, 全文, 全図 (ファミリーなし)	1-20

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

08.08.2005

国際調査報告の発送日

23.8.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小野田 誠

電話番号 03-3581-1101 内線 3498

4L

8427